

Docket No.: R2180.0188/P188
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Takamitsu Yamada et al.

Application No.: Not Yet Assigned

Confirmation No.: Not Yet Assigned

Filed: January 26, 2004

Art Unit: Not Yet Assigned

For: SEMICONDUCTOR INTEGRATED
CIRCUIT AND SCAN TEST METHOD
THEREFORE

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-018920	January 28, 2003

Application No.: Not Yet Assigned

Docket No.: R2180.0188/P188

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: January 26, 2004

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 8 日
Date of Application:

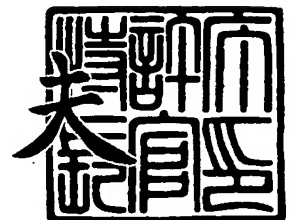
出 願 番 号 特 願 2 0 0 3 - 0 1 8 9 2 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 8 9 2 0]

出 願 人 株式会社リコー
Applicant(s):

2 0 0 4 年 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 9 1 7 8

【書類名】 特許願

【整理番号】 187362

【提出日】 平成15年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明の名称】 半導体集積回路およびスキャンテスト法

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 山田 孝光

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 塚本 泰隆

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 南 英孝

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】**【予納台帳番号】** 013262**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9808860**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびスキャンテスト法

【特許請求の範囲】

【請求項 1】 機能動作を行なう複数のブロックを有する半導体集積回路をスキャンテストする方法であって、

スキャンテスト時に複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションするステップと、

上記テスト対象ブロック毎に位相をずらしたスキャンクロックを供給するステップと

を有することを特徴とするスキャンテスト方法。

【請求項 2】 請求項 1 に記載のスキャンテスト方法に用いられる半導体集積回路であって、

スキャンテスト時に複数の複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションする分離手段と、

上記テスト対象ブロック毎に位相をずらしたスキャンクロックを入力する入力端子と

を有することを特徴とする半導体集積回路。

【請求項 3】 請求項 1 に記載のスキャンテスト方法に用いられる半導体集積回路であって、

スキャンテスト時に複数の複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションする分離手段と、

外部から入力されるクロックに基づいて、上記テスト対象ブロック毎に位相をずらしたスキャンクロックを生成するクロック生成手段と

を有することを特徴とする半導体集積回路。

【請求項 4】 請求項 2 又は請求項 3 に記載の半導体集積回路を、請求項 1 に記載のスキャンテスト方法を用いてテストするテスト装置。

【請求項 5】 上記の分離手段として、各ブロックが Core Wrapper Architecture を備えることを特徴とする請求項 2 又は請求項 3 に記載の半導体集積回路。

【請求項 6】 Core Wrapper Architecture の Wrapper レジスタには、スキャンクロックの印加とブロックのシステムクロックの印加とのいずれかが、選択されて供給されるよう設定されていることを特徴とする請求項 5 に記載の半導体集積回路。

【請求項 7】 ブロックの内部に内部スキャンチェーンが備わり、Wrapper レジスタのシフトイネーブル信号が上記内部スキャンチェーンのスキャンイネーブル信号に接続され、Wrapper レジスタのクロックは当該半導体集積回路中の内部スキャンチェーンのスキャンクロックと同期しており、Wrapper レジスタのシリアルインとシリアルアウトの端子が半導体集積回路の外部に接続され、よって、テストからのスキャンデータの印加とその印加によるテスト結果の観測とを可能としていることを特徴とする請求項 6 に記載の半導体集積回路。

【請求項 8】 ブロックの内部にロジック BIST が設けられ、Wrapper レジスタのシリアルインとシリアルアウトの端子がそれぞれロジック BIST の PRPG の出力と MISR の入力に接続され内部スキャンチェーンと並列に PRPG と MISR 間に配置されていることを特徴とする請求項 7 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スキャンテスト方法、スキャンテスト装置、及び該方法を応用した半導体集積回路に関する。

【0002】

【従来の技術】

システム・オン・チップへ搭載したコアのテスト手法が、IEEE P1500 Core Wrapper Architecture として規格化が進められている（2002 年 11 月現在）。

【0003】

上記規格では、コアの周辺に Wrapper レジスタと呼ばれるスキャン可能なフリップフロップを配置する。これにより LSI の外部から Wrapper レジスタのシリアル機構を介してコアへのアクセスを可能にする。

【0004】

Wrapper レジスタには、コアの入力へ配置される WPI (Wrapper Parallel Input) と、コアの出力へ配置される WPO (Wrapper Parallel Output) がある。これらはそれぞれシリアルに接続される。これらにより、コアのポートの状況の走査や、外部からのシリアルのテスト (信号) の印加が可能となる。

【0005】

上記の Wrapper レジスタのシリアル入力側の始点は WSI (Wrapper Serial Input)、シリアル出力側の終点は WSO (Wrapper Serial Output) と呼ばれる。これらの WSI、WSO と別のコアに設けられた Wrapper レジスタの WSO、WSI とを接続して、一本のシフトレジスタを構成することも可能である。

【0006】

Wrapper レジスタへの走査やテストの印加などの指令は、WSC (Wrapper Serial Control) で制御される。WSC は、JTAG の命令レジスタに接続してもよく、または独自の命令レジスタ (WIR: Wrapper Instruction Register) を有してそれらが JTAG の TDI、TDO 間に配置されてもよい。

【0007】

Wrapper レジスタは、上記 WSC もしくは上記 WIR による制御によって、セーフモードへの遷移が可能である。そのセーフモードにおいて、WPI 内部のスキャンレジスタは、コア外部の状態に関わらず論理値 1 もしくは 0 をラッチすることになっており、一方、WPO は、コア内部の状態に関わらずコアの出力状態を Hi-z 状態もしくは論理値 1、0 に制御することになっている。即ち、上記のセーフモードにおいては、コアから周辺ロジックの影響を排除し、コアを分離させた状態を作る。

【0008】

Core Wrapper Architectureを適用するコアの種類は、特に限定されない。例えば、機能的にまとまりの有るロジックを階層分割し、それらのモジュールのポートにWrapperレジスタを配置してもよい。また、階層レイアウトのレイアウトブロックのそれぞれにWrapperレジスタを配置してもよい。

【0009】

(1) 大規模回路におけるスキャンテスト時の電圧降下の問題

チップ内部の電圧降下は、電源配線の寄生抵抗とその配線を通る電流によって引き起こされる。チップ内電源配線上の任意の点jの電圧降下度「 ΔV_j 」は、任意の点「j」までの電源配線の寄生抵抗の累計「 R_j 」と、任意の点「j」に通る電流量 I_j との積となる。

【数1】

$$\Delta V_j = I_j \times R_j$$

即ち、同時に動作するセルが多ければ多い程、瞬間的に通る電流量は増加し、よって電圧降下は増大する。また、チップサイズが大きければ大きい程、電源配線が長くなり、抵抗が増大する（電圧降下に関する解析と対策のためのレイアウト技術が、特許文献1、特許文献2、又は特許文献3に開示されている）。

【0010】

ところで、スキャンテストでは、スキャンクロックに同期して電流がLSI内部の全スキャン・フリップフロップへ流れ込み、よって瞬間的に電圧降下が発生する。チップサイズが大規模な場合、かような電圧降下のためにスキャンテストで誤動作が発生してしまうという問題が発生する。

【0011】

前記の問題を回避する技術として次のようなものが提案された。スキャンクロックとして複数本を用意し、LSI内部に設けたマルチフェイズ・ジェネレータによって上記の複数のスキャンクロックの夫々の位相をずらすようにし、よって、LSI内部のスキャン・フリップフロップが同時に動作することを防ぐ、というものである（下記の非特許文献1参照）。ところが、複数のスキャンクロック

の位相のずれにより、クロックスキューによる誤動作という問題が生じることがある。

【0012】

また、同非特許文献1は、スキャンチェーンを分割し、分割された夫々にスキャンクロックを排他的に供給することにより、同時に動作するスキャンフリップフロップの数を少なくする、という技術も提案する。しかしそうすると、動作の並列化が損なわれるため、結局テスト時間の増加を招くという問題が発生してしまう。

【0013】

(2) 非同期回路におけるメタステーブル状態伝播の問題

ところで、異なるレートの複数のシステムクロックが設けられたLSIでは、異種クロック間のデータのやり取りの際にメタステーブル状態を起こす危険性を孕む。メタステーブル状態はシステムの遅れや誤動作を誘発する。従来技術では、メタステーブルの伝播を確実に防ぐ方法として、信号の受け側（のロジック）に非同期の信号を同期化するためのフリップフロップを設けるというものがある。

【0014】

【特許文献1】

特開2002-56044号公報

【特許文献2】

特開平10-242283号公報

【特許文献3】

特開2002-203001号公報

【特許文献4】

特開2000-115147号公報

【特許文献5】

特開2000-261310号公報

【特許文献6】

特開2000-332733号公報

【非特許文献1】

INTERNATIONAL TEST CONFERENCE 2001, "A Token Scan Architecture for Low Power Testing", P. 660~P. 669, October 30 - November 1, 2001 Baltimore Convention Center Baltimore, MD, USA
【0015】

【発明が解決しようとする課題】

上述のように（従来の技術（1））、大規模回路のスキャンテスト法で全スキャン・フリップフロップを同期させてクロックを供給すると、電圧降下のために誤動作を招いてしまう。スキャンクロックを複数設けてクロックの位相をずらすことにより、電圧降下を抑える技術が開示されているが、そこではスキューによる誤動作が問題となる。本発明は、大規模回路のブロック内のスキャンテストが周辺ロジックの影響を受けずに実施され、且つブロック間のスキューの問題が回避されることを目的とする。更に、同時にスキャンテスト時の電圧降下の問題が回避されることを目的とする。

【0016】

また、上述のように（従来の技術（2））、非同期のインターフェースではメタステーブル状態の伝播の回避が課題である。メタステーブル状態を同期化するためのフリップフロップを追加する技術が開示されているが、この技術では面積のオーバーヘッド、フリップフロップの追加洩れのおそれ、及びその確認手段の検討、などの問題点が残る。本発明は、ブロックの境界に配置したWrapperレジスタの利用により、メタステーブル状態の伝播が回避されることを目的とする。

【0017】

更に上述のように、Wrapperレジスタのセーフモードは周辺ロジックとの影響を排除してWrapperレジスタ対象のブロックもしくはコアを分離する。ところが、セーフモード機能によって固定される若しくはWrapperレジスタが保持した状態に固定されるため、ATPGによる故障検出では、Wr a

p p e rレジスタとブロック内部のF F（フリップフロップ）間に配置されているロジックにおける故障の検出が困難になってしまう。同様に、例えばロジックB I S Tによる故障検出でも、W r a p p e rレジスタとブロック内部のF F（フリップフロップ）間に配置されているロジックにおける故障の検出が困難である。本発明は、かような故障の検出における検出率の向上も目的とする。

【0018】

【課題を解決するための手段】

本発明は、上記の目的を達成するために為されたものである。本発明に係る請求項1に記載のスキャンテスト方法は、

機能動作を行なう複数のブロックを有する半導体集積回路をスキャンテストする方法であって、

スキャンテスト時に複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションするステップと、

上記テスト対象ブロック毎に位相をずらしたスキャンクロックを供給するステップと

を有することを特徴とするスキャンテスト方法である。

【0019】

本発明に係る請求項2に記載の半導体集積回路は、

請求項1に記載のスキャンテスト方法に用いられる半導体集積回路であって、

スキャンテスト時に複数の複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションする分離手段と、

上記テスト対象ブロック毎に位相をずらしたスキャンクロックを入力する入力端子と

を有することを特徴とする半導体集積回路である。

【0020】

本発明に係る請求項3に記載の半導体集積回路は、

請求項1に記載のスキャンテスト方法に用いられる半導体集積回路であって、

スキャンテスト時に複数の複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションする分離手段と、

外部から入力されるクロックに基づいて、上記テスト対象ブロック毎に位相をずらしたスキャンクロックを生成するクロック生成手段とを有することを特徴とする半導体集積回路である。

【0021】

本発明に係る請求項4に記載のテスト装置は、請求項2又は請求項3に記載の半導体集積回路を、請求項1に記載のスキャンテスト方法を用いてテストするテスト装置である。

【0022】

本発明に係る請求項5に記載の半導体集積回路は、上記の分離手段として、各ブロックがCore Wrapper Architectureを備えることを特徴とする請求項2又は請求項3に記載の半導体集積回路である。

【0023】

本発明に係る請求項6に記載の半導体集積回路は、Core Wrapper ArchitectureのWrapperレジスタには、スキャンクロックの印加とブロックのシステムクロックの印加とのいずれかが、選択されて供給されるよう設定されていることを特徴とする請求項5に記載の半導体集積回路である。

【0024】

本発明に係る請求項7に記載の半導体集積回路は、ブロックの内部に内部スキャンチェーンが備わり、Wrapperレジスタのシフトイネーブル信号が上記内部スキャンチェーンのスキャンイネーブル信号に接続され、Wrapperレジスタのクロックは当該半導体集積回路中の内部スキャンチェーンのスキャンクロックと同期しており、Wrapperレジスタのシリアルインとシリアルアウトの端子が半導体集積回路の外部に接続され、よって、テストからのスキャンデータの印加とその印加によるテスト結果の観測とを可能としていることを特徴とする請求項6に記載の半導体集積回路である。

【0025】

本発明に係る請求項 8 に記載の半導体集積回路は、
ブロックの内部にロジック BIST が設けられ、
Wrapper レジスタのシリアルインとシリアルアウトの端子がそれぞれロジック BIST の PRPG の出力と MISR の入力に接続され内部スキャンチェーンと並列に PRPG と MISR 間に配置されていることを特徴とする請求項 7 に記載の半導体集積回路である。

【0026】**【発明の実施の形態】**

以下において、図面を参照して本発明に係る好適な実施の形態を説明する。

【0027】**＜ 1 ＞ 第 1 の実施の形態**

図 1 は、本発明の第 1 の実施の形態に係る半導体集積回路 2 の概略ブロック図である。

【0028】

まず上記の半導体集積回路 2 には、スキャンインの入力バッファ 4、スキャンアウトの入力バッファ 6 が備わる。第 1 のシステムクロック 8 及び第 2 のシステムクロック 10 は、それぞれブロック B12、ブロック A14 へ供給されるが、周波数は異なる。これらはスキャンクロックを兼用する。

【0029】

ブロック (A14、B12) の入出力ポート 16 は、Wrapper レジスタ 22 によって走査、制御、観測などが行われる。この Wrapper レジスタ 22 は、IEEE P1500 の Core Wrapper Architecture 機構を備えるものである。よって、ブロック内部のロジック 20 は、Wrapper レジスタ 22 によって入出力ポート 16 から分離、切り離しが行われる。

【0030】

ブロック A14 に配置された Wrapper レジスタ 22 は、ブロック B12 に配置された Wrapper レジスタ 22 へシリアルに接続され、Wrapper

rレジスタ・シリアル入力28とWrapperレジスタ・シリアル出力30とを介して、半導体集積回路2外部からのアクセスが可能である。両Wrapperレジスタ22間には、スキュー回避のためのロックアップセル24が配置されている。ブロックB12からブロックA14へは、インタフェース信号18が存在する。但しブロックB12とブロックA14の動作周波数が異なるため、該信号は非同期のI/F信号とされている。

【0031】

ブロック(B12、A14)の内部には、内部スキャンチェーン32が配置される。これら内部スキャンチェーン32は、両ブロックA、Bをまたがって配置することが避けられており、両ブロックA、Bのそれぞれに、排他的にスキャンイン4及びスキャンアウト6が設けられている。

【0032】

図2は、図1に示す半導体集積回路2に対して、スキャンテスト実施の際にATEシステム（以降、テストと言う。）から印加されるスキャンクロックの波形（の例）である。図2において、SCLK__AとSCLK__Bとは、周波数レートは同じであるが、位相がずらされている。位相をずらすのは、ブロックAのスキャン・フリップフロップとブロックBのスキャン・フリップフロップとを同時に動作させないためである。

【0033】

ところで上述のように、ブロックAとブロックBとは、Wrapperレジスタ22により周辺回路からの分離が可能である。よって、第1の実施の形態にて、インタフェース信号18はWrapperレジスタ22によってブロックA14への伝播が遮断されブロックA14では周辺回路の影響無しにスキャンテストの実行が可能である。更にSCLK__AとSCLK__Bとの間にて、スキューの問題は発生しない。

【0034】

また、図2のSCLK__AとSCLK__Bの周波数は同じであるから、従来のスキャンテストと比較してテスト時間が増加することはない。

【0035】

図3は、比較対象として示す従来技術の半導体集積回路302の概略ブロック図である。この従来技術の半導体集積回路302に対して図2のクロック波形によってスキャンテストを行うと、ブロックAとブロックBとの間でスキューの問題が発生し、スキャンテストの結果と期待値（想定値）とが予想外の不一致を起こす蓋然性が生じる。仮に、SCLK__AとSCLK__Bとの位相が合わせられてブロックAとブロックBとの間のスキューが取り省かれるとすると、SCLK__A及びSCLK__Bのクロックの変化によってブロックA内部とブロックB内部のスキャンフリップフロップの全てが動作する。このときその動作相当に大きい電圧降下が生じ、そのために正常なスキャンテストが実施できなくなることが生じ得る。先にブロックAのみをテストしてその次にブロックBをテストすればスキューの問題と電圧降下の問題が回避されるがテスト時間は長くなることは、前述した。

【0036】

≪2≫第2の実施の形態

図5は、本発明の第2の実施の形態に係る半導体集積回路の概略ブロック図である。

【0037】

まず、図4にてメタステーブル対策を施した従来技術による回路の例を示す。ここではブロックA410とブロックB412とに、夫々システムクロックSCLK__A406、SCLK__B408が供給されている。これらのクロックは周波数が異なっている。ブロックA410、ブロックB412間のインタフェースを司る信号402は非同期であり、よってブロックB412へメタステーブル状態が伝播する可能性が存在する。従って、メタステーブル対策のためのフリップフロップ404が設置されている。このフリップフロップ404はブロックB412への信号伝播の直前に同期化を行なう。

【0038】

さて、図5を説明する。フリップフロップ404に代わりWrapperレジスタ504が設置される。同時にセクタ506が設置され、該セクタ506はWrapperレジスタ504へ供給されるクロックの選択を行う。セクタ

506にはテストモード信号508が与えられる。該テストモード信号508はスキャンテスト（等）のテスト時に論理値がHiとなる。即ち、セクタ506はテストモード信号508によって制御されるのであり、テスト時にはスキャンクロックであるWCLK510が選択され、テスト時以外（MODE=Low）にはブロックのシステムクロックであるSCLK__B（408）が選択されて、Wrapperレジスタ504へ供給されるように設定される。

【0039】

よって、Wrapperレジスタ504は、スキャンテスト時にはテストのためのWrapperレジスタとして機能し、テスト時以外にはメタステーブル対策のためのフリップフロップとして機能することになる。

【0040】

《3》第3の実施の形態

図6は、本発明の第3の実施の形態に係る半導体集積回路602の概略ブロック図である。第3の実施の形態に係る半導体集積回路602は、第1の実施の形態に係る半導体集積回路2と略同様の構成である。よって同一部位には同一符号を付して、説明を省略する。

【0041】

図6の第3の実施の形態に係る半導体集積回路602において、WCLK634はWrapperレジスタ22へ供給されるクロックであり、WSE636はWrapperレジスタ22のスキャンイネーブル信号である。いずれもブロックA、ブロックBのWrapperレジスタ22へ供給される。スキャンテストの際には、WCLK634がSCLK__A10、SCLK__B8と同期し、且つWSE636がブロックA、ブロックBのスキャンイネーブル信号と同じ振る舞いで動作するように、テストからのテストの印加を行う。このようにすることでブロックA、ブロックBに配置されたWrapperレジスタ22は、内部スキャンチェーンとして機能することになる。その結果、スキャンチェーンとして、

・ internal__scan__1 ～ 6

・ Wrapperレジスタ

の計7本のパラレルスキャンが構成されることになる。

【0042】

図6のWrapperレジスタ22が内部スキャンチェーンとして機能する際、Wrapperレジスタ22はセルフモニタリングを行う。図7にてWrapperレジスタ・セルの例を示す。パス(702、704)は、LSI本来の機能を実現するための信号ラインである。中心にてフリップフロップ706が設置される。WCLK708はそのフリップフロップ706へ供給されるクロックである。更に、Wrapperレジスタのシリアルイン710、シリアルアウト712の信号ラインが備わる。“WSHIFT”シフトイネーブル信号714によってシリアルイン710からシリアルアウト712へのシフト動作を行うか、パス702の信号をラッチするか、の制御が行われる。

【0043】

WHOLD__IN716は、ブロックの分離機能を司るセレクトに係る信号である。パスの信号出力704に、パス信号入力702とフリップフロップ706が保持するデータとのいずれを出力するか、の選択を制御する。つまり、ブロックを周辺ロジックから分離する場合には、

・WHOLD__IN<=Hi

としてフリップフロップ706が保持するデータをパス信号出力704へ送出させる。

【0044】

図8にて、図7のWrapperレジスタセルのセルフモニタリングの模式図を示す。

・WHOLD__IN<=1

・WSHIFT<=0

としておけば、Wrapperレジスタ内のフリップフロップ706は、WCLK708に同期して自身が保持していたデータを再度ラッチする。同時にパス信号出力704には、フリップフロップ706が保持するデータが送出される。よって、図6の第3の実施の形態に係る半導体集積回路602にてATPG実施の際、Wrapperレジスタ22は上記セルフモニタリング状態でスキャン動作を行う。

【0045】

ここで、従来技術によるスキャンテスト時のWrapperレジスタの動作を示す。図9は、従来技術の半導体集積回路908の概略図である。ブロック908の入出力ポートにWrapperレジスタ902が配置されており、内部ロジックに対してはスキャンチェーン906が設けられている。Wrapperレジスタ902はWrapperレジスタ・セル904で構成される。スキャンテストの際は、ブロック908は、Wrapperレジスタ902によって周辺ロジックからの分離が行われる。このブロックの分離においてブロックの内部ロジックへの入力の状態は、Wrapperレジスタ・セル904により固定される。Wrapperレジスタ・セル904の中の矢印は、Wrapperレジスタ・セルによってブロック内部が制御されていることを模式的に示している。

【0046】

上記の半導体集積回路908に対するスキャンテストのテストシーケンスの例を図10に示す。期間Aは、初期化シーケンスでありWrapperレジスタにブロック入力データを設定するための期間である。この期間中はWrapperレジスタのみが動作し、WSIからシリアルにブロック入力データが供給される。ブロック入力データの供給が完了するとブロックが周辺ロジックから分離され、ブロックの入力には上記にて設定したブロック入力データが供給される。この状態でブロックの内部スキャンチェーンを介したスキャンテストが実施される（図10の期間B）。

【0047】

上記の場合、ロジック910への入力はATEシステムからのテストの供給如何にかかわらず、図9の期間Aでのブロック入力データに固定されている。とすると、ATPGによって故障検出を行なったとしても、ブロック故障として検出不能故障が残ってしまう。

【0048】

例えば、図11のようなテストシーケンスであれば、ブロック入力データの初期化にてWSIへ“Hi”が印加されている。そうするとその結果、期間Bの開始時点ではWrapperレジスタ・セル904内のフリップフロップは“Hi

”の状態となって、ブロックの入力が“Hi”に固定されたまま期間Bのスクランテストが実施されてしまう。

【0049】

図12は、第3の実施の形態に係る半導体集積回路602に対して、スクランテストを実施する際のテストシーケンスの例を示す。図12には、図10の期間Aのような初期化期間が無い。即ち、Wrapperレジスタが内部スキャンチェーンとして扱われることにより、テストの開始時点からスクランテストが実施されている。Wrapperレジスタは、スクランテストのシーケンスに沿ってATEシステムから逐次にテスト供給が行われるので、テストが十分に実施される。よって、上述のようなブロック故障に対するテストの一部が未実施となることが無い。

【0050】

＜4＞第4の実施の形態

図13は、本発明の第4の実施の形態に係る半導体集積回路の概略ブロック図である。階層レイアウト実施の際のブロック、もしくはフラットレイアウト時の論理階層ブロック（1302、1304）が備わる。ブロック（1302、1304）の内部には、スキャンチェーン1306、ロジックBISTのPRPG1308とMISR1310が備わる。これらロジックBISTは、ブロックA、ブロックBで独立してテストが実施されるように個別に配置されている。PRPG1308とMISR1310は、LFSRのシフトレジスタで構成される。これらは互いにシリアルに接続してLSIの外部からアクセス可能になっている。Wrapperレジスタ1312は、内部スキャンチェーン1306に並列にPRPG、MISR間に配置されている。

【0051】

ここでWrapperレジスタ1312は、ブロックと周辺ロジックとの分離機能を果たし、且つセルフモニタリング機構によりブロック内部へのブロック外部からのX値伝播を防いでいる。

【0052】

【発明の効果】

本発明を利用することにより、以下のような効果を得ることができる。

【0053】

本発明では、LSIをブロック分割もしくは階層分割して、ブロックのそれぞれにWrapperレジスタを配置し、ブロック周辺のロジックの影響を排除してブロック内のスキャンテストを行うようにする。また、テスト（ATEシステム）からのスキャンクロックの供給はブロックごとに位相がずらされるのでスキャンテスト時に同時に動作するスキャンフリップフロップの数がブロック内部のスキャンフリップフロップに制限される。以上のことにより、スキャンテスト時の電圧降下の問題とブロック間のスキューの問題とが排除され得、テスト時間の増加を招くこと無しにLSIのスキャンテスト実施が可能となる。更に階層レイアウト実施の際にはブロック間のクロックの位相調整も不要となる。

【0054】

また、本発明では、ブロックの境界に配置されたWrapperレジスタをメタステーブル対策のための同期化フリップフロップとして使用するようにしたので、テスト容易化設計回路がそのままメタステーブル対策ロジックに流用できる。

【0055】

また、本発明では、ブロックの境界に配置されたWrapperレジスタを内部スキャンチェーンとして機能させてATPGによるスキャンテスト実施を可能とする。この時のWrapperレジスタはセルフモニタリング状態となり得るので、ブロック間の互いの影響が排除された状態でスキャンテストが実行でき、ブロック間のクロックの位相調整が不要となり、且つWrapperレジスタによるブロック内部のテスト不能ノードを削減し得る。

【0056】

更に、本発明では、ブロックの境界に配置されたWrapperレジスタを内部スキャンチェーンとして機能させて、ブロックの内部ロジックをテストするために設けたロジックBISTのPRPG、MISR間に配置する。この時のWrapperレジスタは、セルフモニタリング状態となり得るので、ブロックを周辺ロジックから分離でき、周辺回路からのX値伝播を切断する役目を果たす。且

つ、Wrapperレジスタによるブロック内部のテスト不能ノードを削減し得る。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体集積回路の概略ブロック図である。

【図2】 図1に示す半導体集積回路に対して、スキャンテスト実施の際にATEシステムから印加されるスキャンクロックの波形の例である。

【図3】 従来技術の半導体集積回路の概略ブロック図である。

【図4】 メタステーブル対策を施した従来技術による回路の例である。

【図5】 本発明の第2の実施の形態に係る半導体集積回路の概略ブロック図である。

【図6】 本発明の第3の実施の形態に係る半導体集積回路の概略ブロック図である。

【図7】 Wrapperレジスタ・セルの構成例である。

【図8】 図7のWrapperレジスタセルのセルフモニタリングの模式図である。

【図9】 従来技術の半導体集積回路の概略図である。

【図10】 図9の半導体集積回路に対するスキャンテストのテストシーケンスの例である。

【図11】 テストシーケンスの例である。

【図12】 第3の実施の形態に係る半導体集積回路に対して、スキャンテストを実施する際のテストシーケンスの例である。

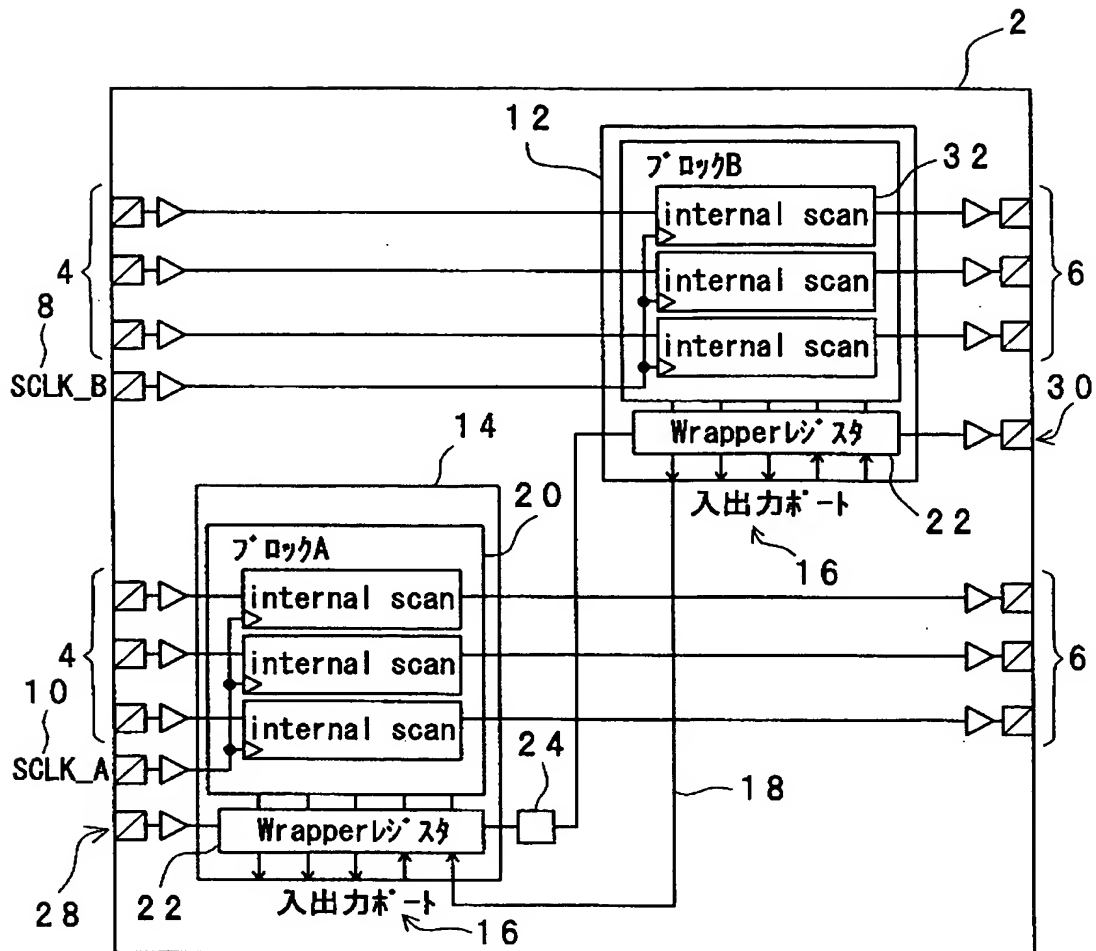
【図13】 本発明の第4の実施の形態に係る半導体集積回路の概略ブロック図である。

【符号の説明】

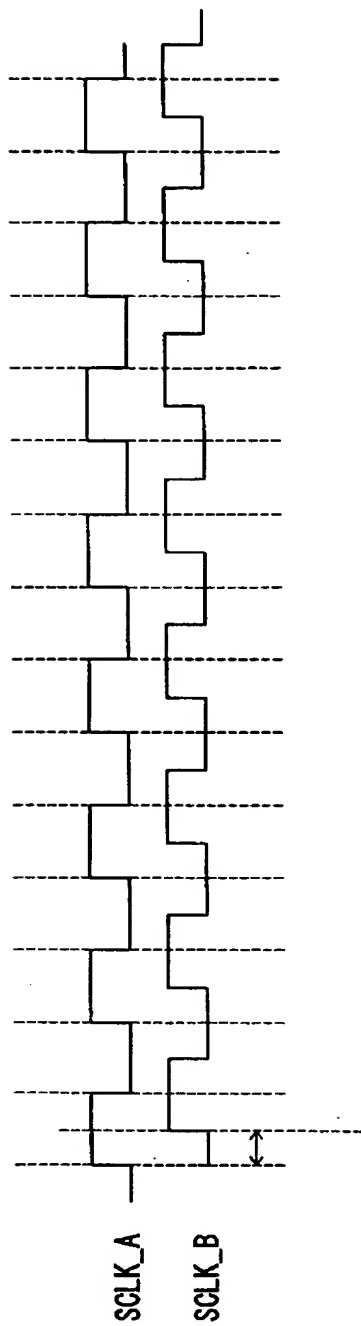
2、302、602・・・半導体集積回路、4・・・スキャンインの入力バッファ、6・・・スキャンアウトの入力バッファ、16・・・入出力ポート、22・・・Wrapperレジスタ、32・・・内部スキャンチェーン、1308・・・PRPG、1310・・・MISR。

【書類名】 図面

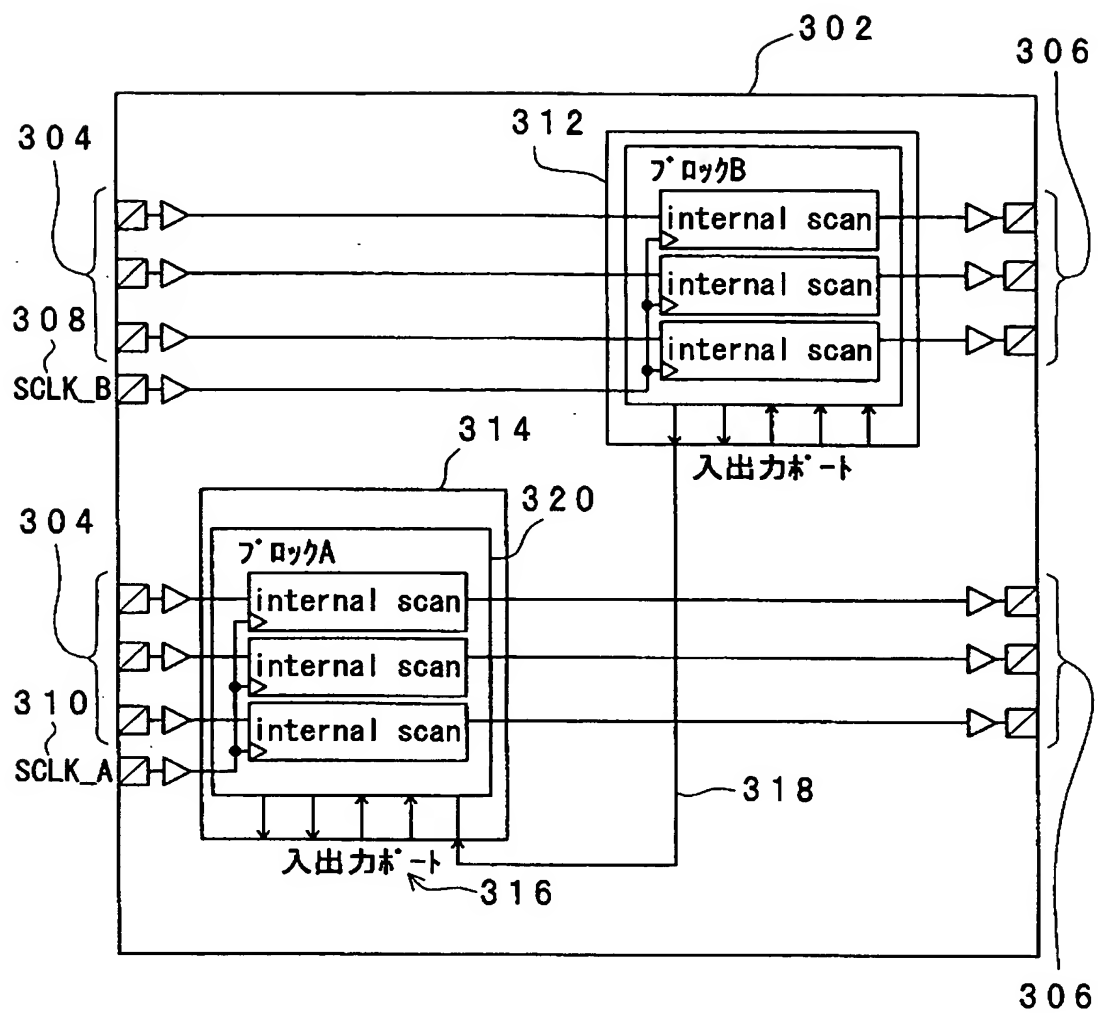
【図 1】



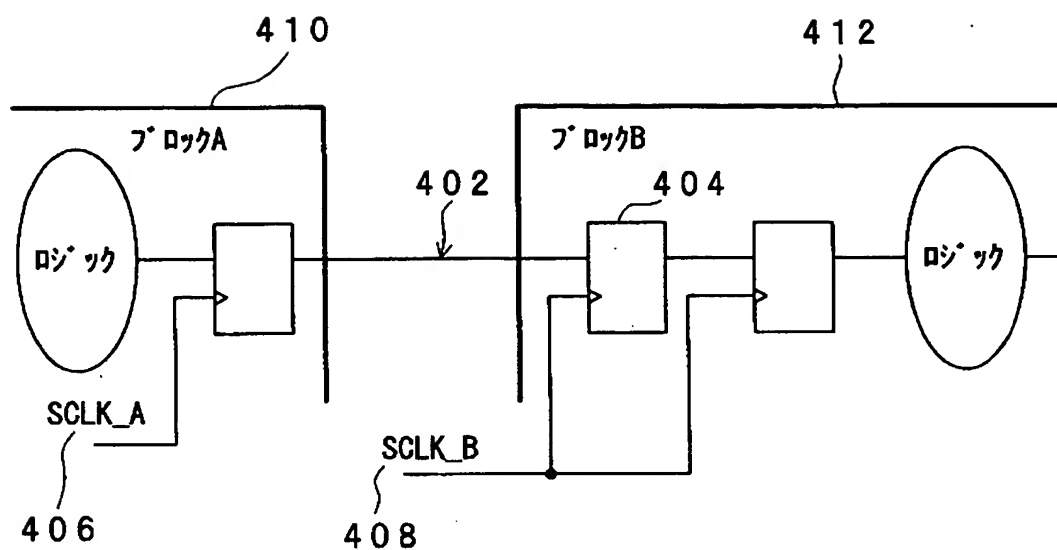
【図 2】



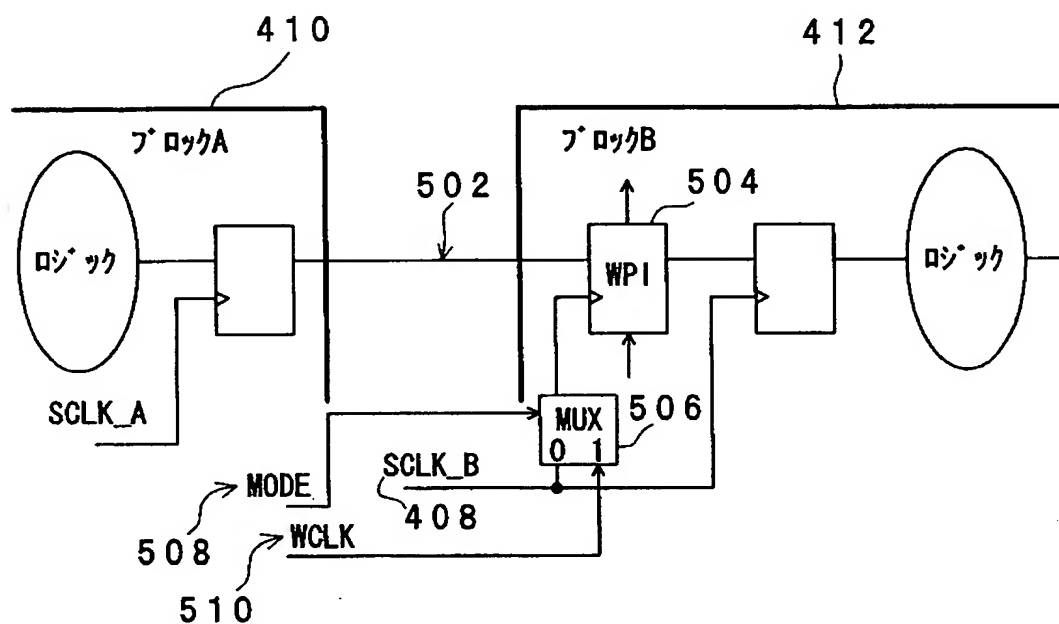
【図 3】



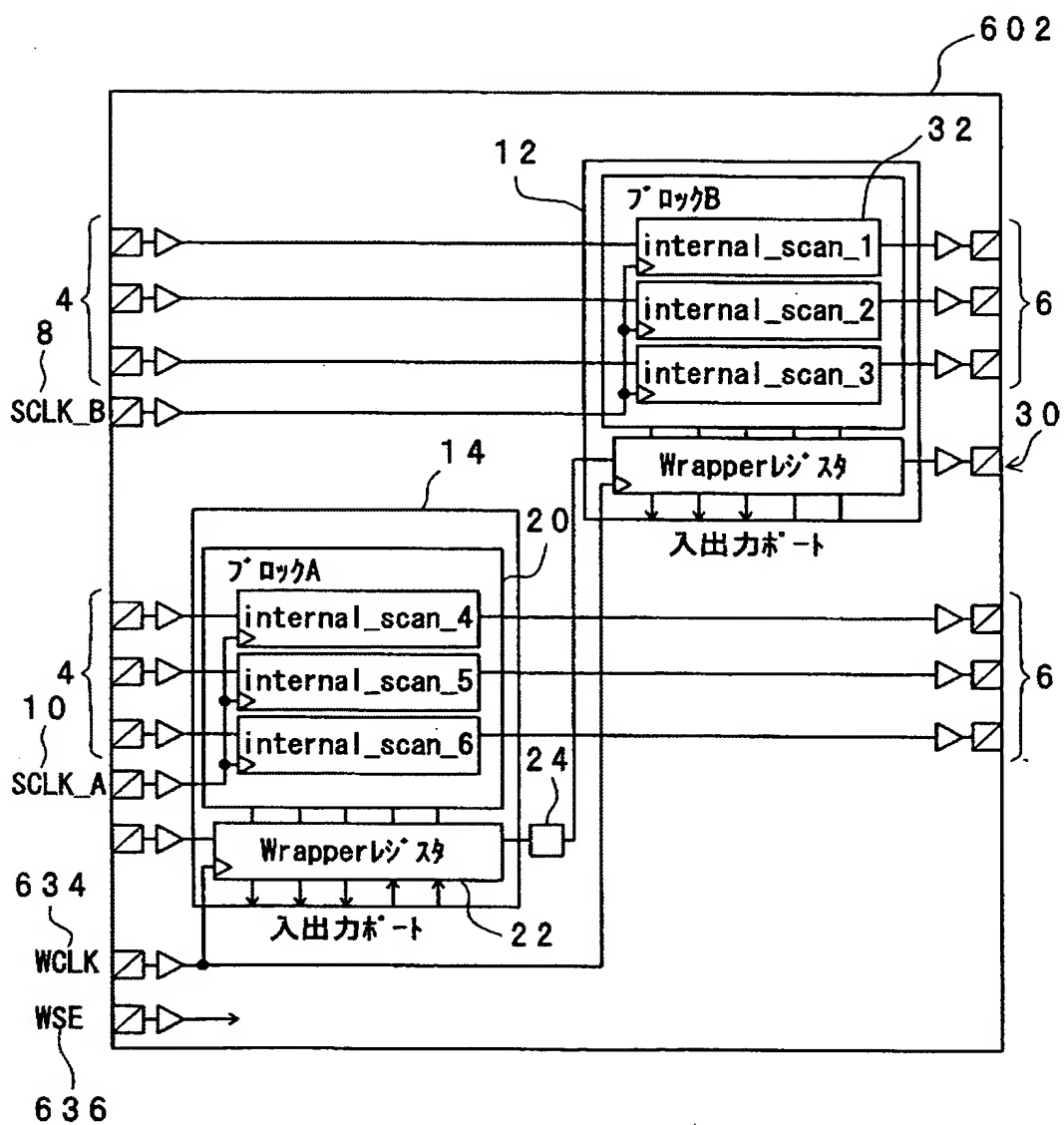
【図 4】



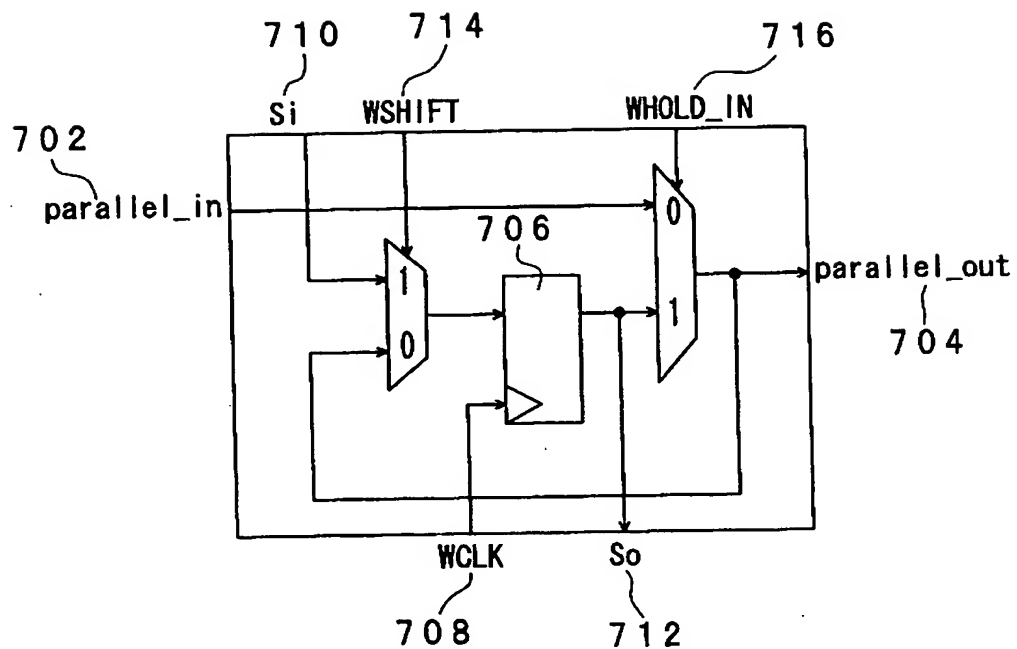
【図 5】



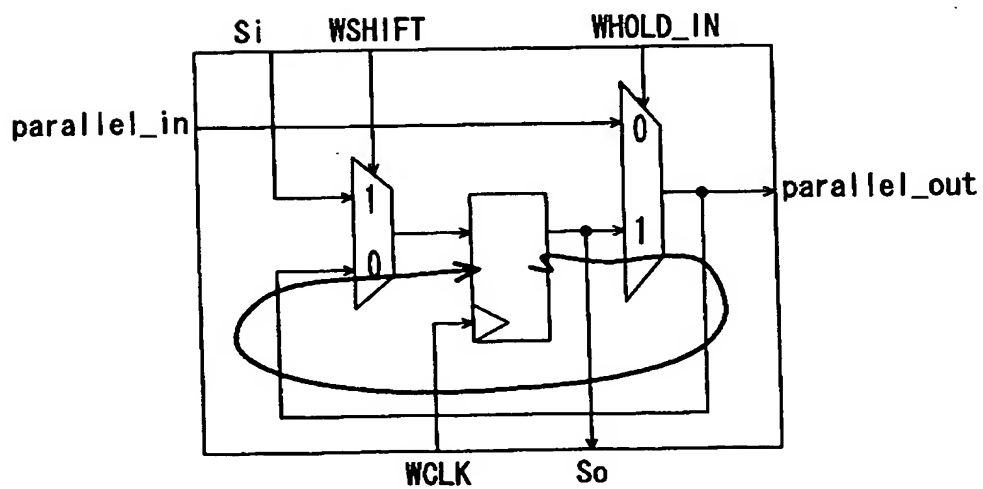
【図 6】



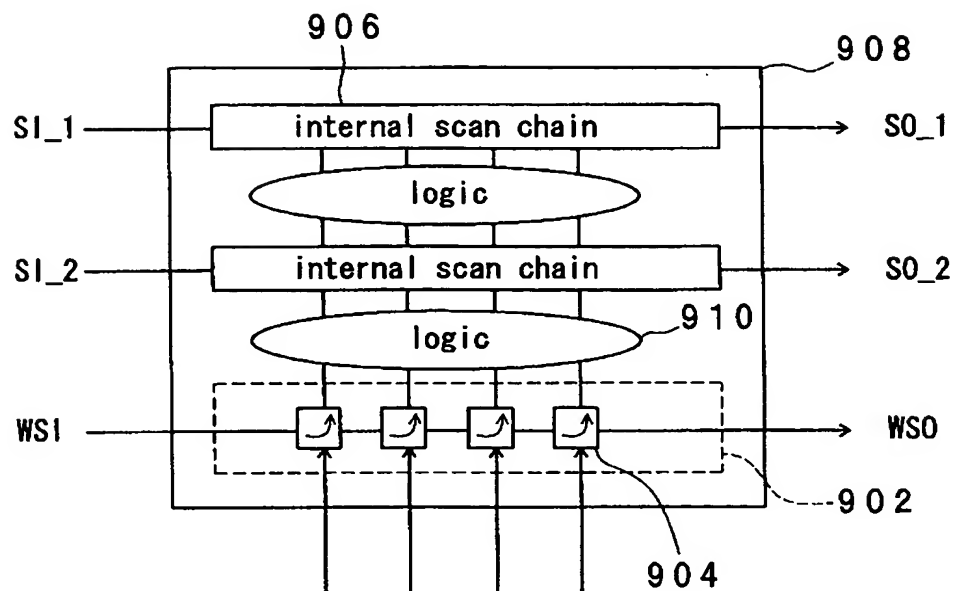
【図 7】



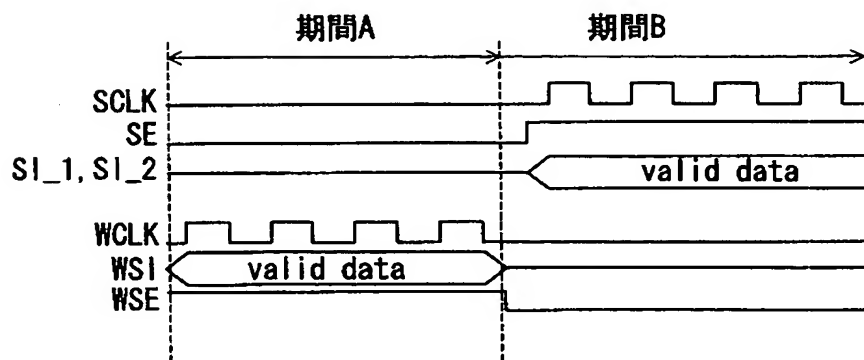
【図 8】



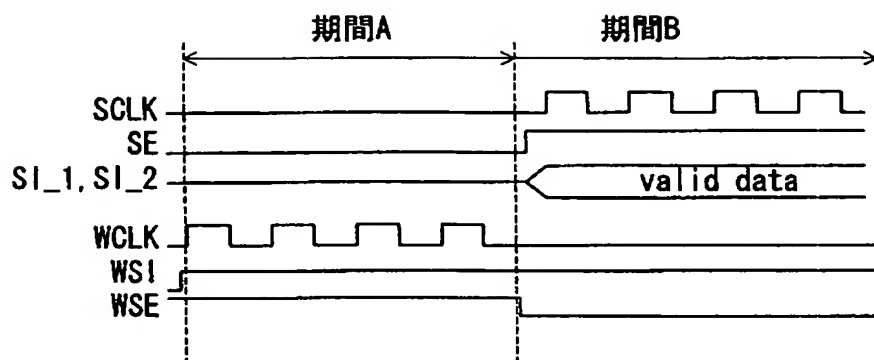
【図 9】



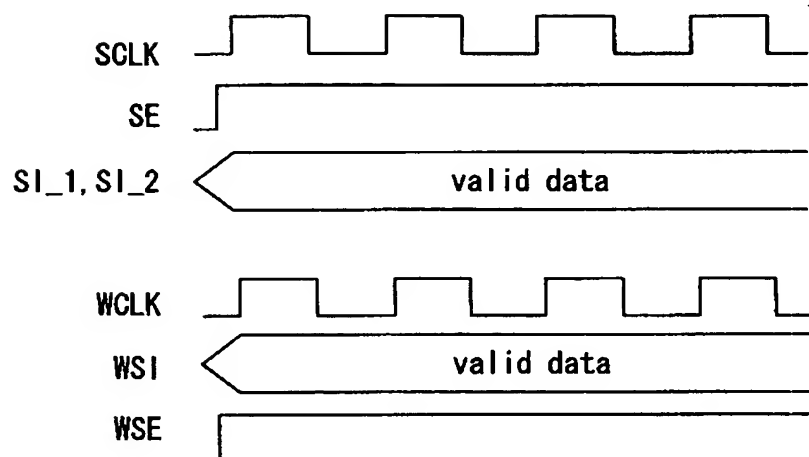
【図 10】



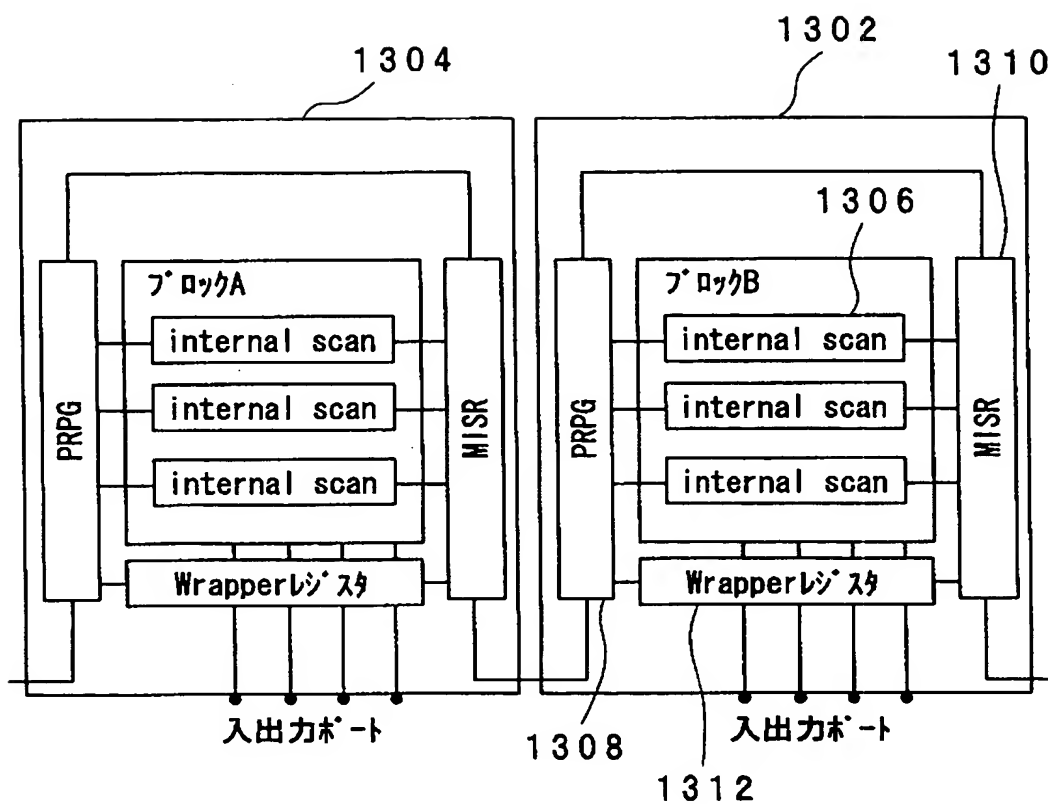
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 集積化の進んだ半導体集積回路に対するスキャンテスト方法、及び該スキャンテスト方法によりテストされる半導体集積回路を求める。

【解決手段】 機能動作を行なう複数のブロックを有する半導体集積回路をスキャンテストする方法であって、スキャンテスト時に複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションするステップと、上記テスト対象ブロック毎に位相をずらしたスキャンクロックを供給するステップとを有することを特徴とするスキャンテスト方法を提示する。更に、このスキャンテスト方法に用いられる半導体集積回路であって、スキャンテスト時に複数の複数のテスト対象ブロックが各々排他的に他のブロックとアイソレーションする分離手段と、上記テスト対象ブロック毎に位相をずらしたスキャンクロックを入力する入力端子とを有することを特徴とする半導体集積回路を提示する。

【選択図】 図 1

特願 2003-018920

出願人履歴情報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー